

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

18560716

Basic Patent (No,Kind,Date): JP 2002353466 A2 20021206 <No. of Patents: 001>

PRODUCTION METHOD FOR ELECTRO-OPTICAL DEVICE AND THE
ELECTRO-OPTICAL DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): NAKAMURA TEIICHIRO

IPC: *H01L-029/786; G02F-001/1368; G09F-009/00; G09F-009/30; H01L-021/336;

H01L-021/762; H01L-027/12

CA Abstract No: 138(02)018148G

Derwent WPI Acc No: C 03-293516

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2002353466	A2	20021206	JP 200250469	A	20020226 (BASIC)

Priority Data (No,Kind,Date):

JP 200250469 A 20020226

JP 200167651 A 20010309

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07484948 **Image available**

PRODUCTION METHOD FOR ELECTRO-OPTICAL DEVICE AND THE
ELECTRO-OPTICAL DEVICE

PUB. NO.: 2002-353466 [JP 2002353466 A]

PUBLISHED: December 06, 2002 (20021206)

INVENTOR(s): NAKAMURA TEIICHIRO

APPLICANT(s): SEIKO EPSON CORP

APPL. NO.: 2002-050469 [JP 200250469]

FILED: February 26, 2002 (20020226)

PRIORITY: 2001-067651 [JP 200167651], JP (Japan), March 09, 2001
(20010309)

INTL CLASS: H01L-029/786; G02F-001/1368; G09F-009/00; G09F-009/30;
H01L-021/336; H01L-021/762; H01L-027/12

ABSTRACT

PROBLEM TO BE SOLVED: To prevent an etching liquid from being permeated from a sticking interface on the terminal part of a wafer.

SOLUTION: In this production method, since the terminal part of a device forming layer is covered with a protecting film, the etching liquid is prevented from being permeated from the sticking interface between a support wafer and the device forming layer and the film of a semiconductor layer is prevented from being released. Further, a light-shielding layer is provided inside the terminal part of the device forming layer, and the upper layer of the light shielding layer is covered with the device-forming layer. In such a structure, in the case when conducting of wet treatment, an insulating film on the upper layer of the light-shielding layer is prevented from being etched.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-353466

(P 2 0 0 2 - 3 5 3 4 6 6 A)

(43) 公開日 平成14年12月6日 (2002.12.6)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
H01L 29/786		G02F 1/1368	2H092
G02F 1/1368		G09F 9/00	Z 5C094
G09F 9/00	342		348 C 5F032
	348	9/30	338 5F110
9/30	338	H01L 27/12	B 5G435

審査請求 未請求 請求項の数20 O L (全21頁) 最終頁に続く

(21) 出願番号 特願2002-50469 (P 2002-50469)
(22) 出願日 平成14年2月26日 (2002.2.26)
(31) 優先権主張番号 特願2001-67651 (P 2001-67651)
(32) 優先日 平成13年3月9日 (2001.3.9)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 中村 定一郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 100095728
弁理士 上柳 雅誉 (外2名)

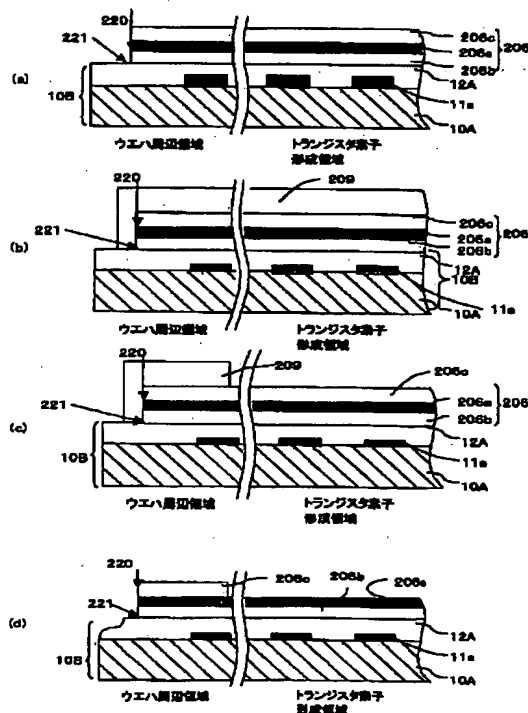
最終頁に続く

(54) 【発明の名称】 電気光学装置の製造方法および電気光学装置

(57) 【要約】

【課題】 ウエハ端部の貼り合わせ界面からのエッチング液浸透を防止すること

【解決手段】 本発明の製造方法によれば、デバイス形成層の端部を保護膜で覆うため、支持基板とデバイス形成層との貼り合わせ界面からエッチング液が浸透するのを防ぎ、半導体層の膜剥がれを防止する。また、遮光層をデバイス形成層の端部に対して内側に設け、遮光層上層がデバイス形成層に覆われている構造とし、ウェット処理の際、遮光層上層の絶縁膜がエッチングされてしまうことを防ぐ。



【特許請求の範囲】

【請求項 1】 半導体層と絶縁体層もしくは半導体層によって構成されたデバイス形成層と支持基板とを貼り合わせた複合基板において、

前記デバイス形成層の端部を保護膜で覆う工程と、
前記複合基板をウエット処理する工程と、を具備することを特徴とする電気光学装置の製造方法。

【請求項 2】 前記デバイス形成層の前記半導体層は、画素領域に画素トランジスタとして用いられる半導体層と、前記画素領域の周辺の画素周辺領域に周辺回路のトランジスタとして用いられる半導体層からなり、
前記デバイス形成層の端部を保護膜で覆う工程は、前記画素領域を残して前記画素周辺領域をも前記保護膜で覆うことを特徴とする請求項 1 に記載の電気光学装置の製造方法。

【請求項 3】 前記画素トランジスタの半導体層の層厚は、前記周辺回路のトランジスタの半導体層の層厚よりも薄いことを特徴とする請求項 2 に記載の電気光学装置の製造方法。

【請求項 4】 前記デバイス形成層上には、前記画素領域及び周辺回路を備える複数の電気光学装置が形成されることを特徴とする請求項 2 又は請求項 3 に記載の電気光学装置の製造方法。

【請求項 5】 前記保護膜は、有機膜からなることを特徴とする請求項 1 又は請求項 2 に記載の電気光学装置の製造方法。

【請求項 6】 前記保護膜は、フォトレジストからなることを特徴とする請求項 5 に記載の電気光学装置の製造方法。

【請求項 7】 前記保護膜は、無機膜からなることを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 8】 前記保護膜は、シリコンナイトライドからなることを特徴とする請求項 7 に記載の電気光学装置の製造方法。

【請求項 9】 前記半導体層は、単結晶半導体であることを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 10】 前記半導体層は、多結晶半導体であることを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 11】 前記支持基板は、透明基板であることを特徴とする請求項 1 乃至請求項 10 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 12】 前記支持基板は、石英基板であることを特徴とする請求項 1 乃至請求項 11 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 13】 前記支持基板は、ガラス基板であることを特徴とする請求項 1 乃至請求項 11 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 14】 半導体層と絶縁体層もしくは半導体層によって構成されたデバイス形成層と支持基板との間に少なくとも遮光層を具備した複合基板において、
前記遮光層は、貼り合わされた前記デバイス形成層の端部に対して内側に設けられていることを特徴とする電気光学装置。

【請求項 15】 前記遮光層は、貼り合わされた前記デバイス形成層の端部に対して 1 mm 以上内側に設けられていることを特徴とする請求項 14 に記載の電気光学装置。

【請求項 16】 前記半導体層は、単結晶半導体であることを特徴とする請求項 14 又は請求項 15 に記載の電気光学装置。

【請求項 17】 前記半導体層は、多結晶半導体であることを特徴とする請求項 14 又は請求項 15 に記載の電気光学装置。

【請求項 18】 前記支持基板は、透明基板であることを特徴とする請求項 14 乃至請求項 17 のいずれか一項に記載の電気光学装置。

【請求項 19】 前記支持基板は、石英基板であることを特徴とする請求項 14 乃至請求項 18 のいずれか一項に記載の電気光学装置。

【請求項 20】 前記支持基板は、ガラス基板であることを特徴とする請求項 14 乃至請求項 18 のいずれか一項に記載の電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は SOI 技術を適用した電気光学装置の製造において、安定したプロセスの確立、歩留まり確保を提供することを目的としている。

【0002】

【従来の技術】 絶縁基体上に半導体薄膜を形成し、その半導体薄膜に半導体デバイスを形成する SOI 技術は、素子の高速化や低消費電力化、高集積化等の利点を有することから、例えば電気光学装置に好適である。

【0003】

このような電気光学装置に SOI 技術を適用する場合、光透過性支持基板に単結晶半導体層と絶縁体層もしくは単結晶半導体層のみによって構成されたデバイス形成層を貼り合わせて研磨等により薄膜の単結晶半導体層を形成し、単結晶半導体層を例えば液晶駆動用の MOSFET 等のトランジスタ素子に形成している。

【0004】

この、単結晶半導体層を液晶駆動用の MOSFET 等のトランジスタ素子に形成する工程では、単結晶半導体層をウエット処理するか、または単結晶半導体層を酸化し、さらにその酸化膜をウエット処理し、除去することで、チャネル層にあたる単結晶半導体層の膜厚を制御することが行われ、そのことにより、完全空乏型トランジスタや、完全空乏型トランジスタと部分空乏型トランジスタが混載しているような電気光学装置を作成することができる。

【0005】また、本願出願時に未公開の特許願第2001-566086号において、電気光学装置でSOI構造を有するPチャネル型のトランジスタを作り込む技術を提案しているが、この技術によれば、画像表示領域では、光リーク電流の発生を低減すべく相対的に薄い半導体層を用いて完全空乏型トランジスタを作り込み、画素周辺領域では、コンタクト抵抗やシール抵抗を削減すべく相対的に厚い半導体層を用いて部分空乏型トランジスタを作り込んでいる。

【0006】またさらに、例えばプロジェクタ等の電気光学装置を使った投射型表示装置では、支持基板が光透過性である場合は、表面から入射した光が基板裏面側の界面で反射してMOSFETのチャネル部に戻り光として入射することがある。このような戻り光を遮光するために、トランジスタ素子領域に対応する支持基板表面に遮光層を形成する技術が提唱されている。すなわち、支持基板表面に遮光層をパターンニングし、その上を絶縁体層で覆って研磨により平坦化し、その平坦面にデバイス形成層を貼り合わせて研磨等により薄膜の単結晶半導体層などを形成し、単結晶半導体層を例えば液晶駆動用のMOSFET等のトランジスタ素子に形成しているものである。

【0007】

【発明が解決しようとする課題】しかしながら、このような電気光学装置を製造する過程において、単結晶半導体層をウエット処理するか、または単結晶半導体層を酸化し、さらにその酸化膜をウエット処理する工程の際、支持基板とデバイス形成層との貼り合わせ界面からエッチング液が浸透し、下地酸化膜までもがエッチングされてしまうという課題がある。そして、このようなエッチングの不良が起きると、エッチングされた下地酸化膜上の単結晶半導体層の膜剥がれ等の不良を発生させる原因となり製品の歩留まりを低下させる。

【0008】また、支持基板表面に遮光層を形成した場合、同様のプロセスにより遮光層上部の下地酸化膜がエッチングされると、遮光層が基板表面に露出してしまいう課題も発生する。そしてこのようなエッチング不良が起きると、それに起因する金属汚染などのトラブルが発生する。

【0009】本発明はかかる事情に鑑みてなされたもので、SOI技術を適応した電気光学装置の製造において、安定したプロセスの確立、歩留まり確保を提供することを目的としている。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本件の発明に係る電気光学装置の製造方法は、半導体層と絶縁体層もしくは半導体層のみによって構成されたデバイス形成層と支持基板とを貼り合わせた複合基板において、前記デバイス形成層の端部を保護膜で覆う工程と、前記複合基板をウエット処理する工程と、を具

備することを特徴としている。本発明の製造方法によれば、前記デバイス形成層をウエット処理する際に前記デバイス形成層の端部を保護膜で覆うため、支持基板とデバイス形成層との貼り合わせ界面からエッチング液が浸透するのを防止することができ、下地酸化膜がエッチングされてしまうことを防ぐことができる。

【0011】上記電気光学装置の製造方法において、前記デバイス形成層の前記半導体層は、画素領域に画素トランジスタとして用いられる半導体層と、前記画素領域の周辺の画素周辺領域に周辺回路のトランジスタとして用いられる半導体層からなり、前記デバイス形成層の端部を保護膜で覆う工程は、同一層からなる保護膜で前記画素領域、前記画素周辺領域及び前記デバイス形成層の端部を覆うことを特徴とする。本発明の製造方法によれば、画素トランジスタと周辺回路のトランジスタを作りこむ工程を、前記デバイス形成層の端部を保護膜で覆う工程と同一プロセスで行うことができ、工程数を削減することができる。尚、前記画素トランジスタの半導体層の層厚は、前記周辺回路のトランジスタの半導体層の層厚よりも薄くして、画素トランジスタを完全空乏型トランジスタに、周辺回路のトランジスタを部分空乏型トランジスタに形成しても、同様に工程数の削減となる。

【0012】上記電気光学装置の製造方法において、前記保護膜は有機膜でもよい。例えば前記保護膜に有機膜であるフォトレジストを用いれば、フォトレジストはエッチング液に対してほとんどエッチングされないため、エッチング液が貼り合わせ界面に浸透し、下地酸化膜がエッチングされることを防ぐことができる。また、フォトレジストを用いることは製造プロセス上容易なものであるので、歩留まり良く、高品質の電気光学装置を容易に製造することができる。

【0013】また、上記電気光学装置の製造方法において、前記保護膜は無機膜でもよい。例えば前記保護膜として無機膜であるシリコンナイトライドを用いれば、エッチング液の貼り合わせ界面への浸透を防止し、下地酸化膜がエッチングされるのを防ぐことができる。

【0014】次に本件の発明に係る電気光学装置は、半導体層と絶縁体層もしくは半導体層のみによって構成されたデバイス形成層と支持基板との間に少なくとも遮光層を具備した複合基板において、前記遮光層が貼り合わされた前記デバイス形成層の端部に対して内側に設けられていることを特徴としている。本発明によれば、遮光層上層がデバイス形成層に覆われている構造となるため、ウエット処理の際、遮光層上層の絶縁膜がエッチングされてしまうことを防ぐことができる。

【0015】また、前記遮光層は、貼り合わされた前記デバイス形成層の端部に対して1mm以上基板内側に設けられていることが望ましい。デバイス形成層の端部に対して1mm以上基板内側に遮光層を設けることによって、ウエット処理の際、支持基板とデバイス形成層との

貼り合わせ界面からエッチング液が浸透し、遮光層上層の絶縁膜がエッチングされることを防止することができる。

【0016】さて、本発明の電気光学装置において、前記半導体層は単結晶半導体である構成が望ましい。このような構成によれば、単結晶半導体を用いることで駆動周波数を高めるとともに、高品質で高精細な電気光学装置を得ることが可能となる。

【0017】また、本発明の電気光学装置において、前記半導体層は多結晶半導体である構成が望ましい。本発明の係る構成によれば、多結晶半導体を用いることで、高精細な電気光学装置を低コストで得ることが可能になる。

【0018】一方、本発明の電気光学装置において、前記支持基板は透明基板である構成が望ましい。本発明の構成によれば、透明基板であるため透過型の電気光学装置を作成することが可能になる。

【0019】また、本発明の電気光学装置において、前記支持基板は石英基板である構成が望ましい。本発明の構成によれば、石英基板であるために、TFTの製造において摂氏1150度程度までの高温プロセスを適用できる。このため、高性能なTFTを得ることが可能となる。

【0020】また、本発明の電気光学装置において、前記支持基板は、ガラス基板である構成が望ましい。本発明の構成によれば、ガラス基板であるために大面積の基板が使用可能になって、低コストで電気光学装置を得ることが可能となる。

【0021】

【発明の実施の形態】以下、本発明に係る実施の形態について詳細に説明する。以下の第1、第2実施形態においては電気光学装置の例として、TFT（トランジスタ素子）をスイッチング素子として用いたアクティブマトリクス型の電気光学装置を取り上げて説明する。また、第1、第2実施形態は、単結晶半導体層と絶縁体層によって構成されたデバイス形成層と遮光層付き支持基板とを貼り合わせた複合基板において、デバイス形成層の端部をフォトリソなどの有機膜もしくはシリコンナイトライドなどの無機膜で覆い、複合基板をウエット処理する工程が特徴となっている。

【0022】（第1実施形態）

（電気光学装置の構造）はじめに、本発明に係る第1実施形態の電気光学装置の構造について、アクティブマトリクス型の電気光学装置を取り上げて説明する。本実施形態の電気光学装置は、本実施形態の電気光学装置用基板の製造方法により製造された電気光学装置用基板を備えたものである。

【0023】図1は電気光学装置の画素部（表示領域）を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。また、図2は、

データ線、走査線、画素電極、遮光層等が形成されたTFTアレイ基板の相隣接する複数の画素群を拡大して示す平面図である。また、図3は、図2のA-A'断面図である。尚、図1～図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0024】図1において、電気光学装置の画素部を構成するマトリクス状に形成された複数の画素は、マトリクス状に複数形成された画素電極9aと画素電極9aを制御するためのTFT（トランジスタ素子）30とからなり、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6aに対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。

【0025】画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、後述する対向基板に形成された後述する対向電極との間で一定期間保持される。

【0026】液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光の透過量が減少し、ノーマリーブラックモードであれば、印加された電圧に応じて入射光の透過量が増加し、全体として電気光学装置から画像信号に応じたコントラストを持つ光が射出される。

【0027】ここで、保持された画像信号のリークによってコントラスト比の低下やフリッカと呼ばれるちらつきなど表示上の不具合が生じるのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、データ線に電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い電気光学装置が実現できる。本実施形態では特に、このような蓄積容量70を形成するために、後述の如く走査線と同層、もしくは導電性の遮光層を利用して低抵抗化された容量線3bを設けている。

【0028】次に、図2に基づいて、TFTアレイ基板のトランジスタ素子の形成領域（画素部）内の平面構造について詳細に説明する。図2に示すように、電気光学

装置のTFTアレイ基板上的のトランジスタ素子の形成領域(画素部)内には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介して半導体層1aのうち後述のソース領域に電氣的に接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域1eに電氣的に接続されている。また、半導体層1aのうちチャンネル領域(図中右上りの斜線の領域)に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。

【0029】容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部(即ち、平面的に見て、走査線3aに沿って形成された第1領域)と、データ線6aと交差する箇所からデータ線6aに沿って前段側(図中、上向き)に突出した突出部(即ち、平面的に見て、データ線6aに沿って延設された第2領域)とを有する。

【0030】そして、図中右上がりの斜線で示した領域には、複数の遮光層11aが設けられている。より具体的には、遮光層11aは夫々、画素部において半導体層1aのチャンネル領域1a'を含むTFT30をTFTアレイ基板10の後述する基板本体側から見て覆う位置に設けられており、更に、容量線3bの本線部に対向して走査線3aに沿って直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って隣接する段側(即ち、図中下向き)に突出した突出部とを有する。遮光層11aの各段(画素行)における下向きの突出部の先端は、データ線6a下において次段における容量線3bの上向きの突出部の先端と重ねられている。この重なった箇所には、遮光層11aと容量線3bとを相互に電氣的に接続するコンタクトホール13が設けられている。即ち、本実施形態では、遮光層11aは、コンタクトホール13により前段あるいは後段の容量線3bに電氣的に接続されている。

【0031】また、本実施形態において、画素電極9a、TFT30、及び遮光層11aは画素部内にのみ設けられている。

【0032】次に、図3に基づいて、電気光学装置の画素部内の断面構造について説明する。図3に示すように、電気光学装置において、TFTアレイ基板10と、これに対向配置される対向基板20との間に液晶層50が挟持されている。

【0033】TFTアレイ基板10は、石英などの光透過性基板からなる支持基板10Aとその液晶層50側表面上に形成された画素電極9a、TFT(トランジスタ素子)30、配向膜16を主体として構成されており、対向基板20は透明なガラスや石英などの光透過性基板からなる基板本体20Aとその液晶層50側表面上に形

成された対向電極(共通電極)21と配向膜22とを主体として構成されている。

【0034】TFTアレイ基板10の支持基板10Aの液晶層50側表面上には、画素電極9aが設けられており、その液晶層50側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは、例えばITO(インジウム・ティン・オキサイド)などの透明導電性薄膜からなり、配向膜16は、例えばポリイミドなどの有機薄膜からなる。

【0035】また、支持基板10Aの液晶層50側表面上には、図3に示すように、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0036】他方、対向基板20の基板本体20Aの液晶層50側表面上には、その全面に渡って対向電極(共通電極)21が設けられており、その液晶層50側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は、例えばITOなどの透明導電性薄膜からなり、配向膜22は、例えばポリイミドなどの有機薄膜からなる。

【0037】また、基板本体20Aの液晶層50側表面上には、更に図3に示すように、各画素部の開口領域以外の領域に対向基板遮光層23が設けられている。このように対向基板20側に対向基板遮光層23を設けることにより、対向基板20側から入射光が画素スイッチング用TFT30の半導体層1aのチャンネル領域1a'やLDD(Lightly Doped Drain)領域1b及び1cに侵入することを防止することができるとともに、コントラストを向上させることができる。

【0038】このように構成され、画素電極9aと対向電極21とが対向するように配置されたTFTアレイ基板10と対向基板20との間には、両基板の周縁部間に形成されたシール材(図示略)により囲まれた空間に液晶(電気光学材料)が封入され、液晶層(電気光学材料層)50が形成されている。

【0039】液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなっており、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態を採る。

【0040】また、シール材は、TFTアレイ基板10及び対向基板20をそれらの周縁部で貼り合わせるための、例えば光硬化性接着剤や熱硬化性接着剤等の接着剤からなり、その内部には両基板間の距離を所定値とするためのグラスファイバー、ガラスビーズ等のスペーサが混入されている。

【0041】また、図3に示すように、TFTアレイ基板10の支持基板10Aの液晶層50側表面上において、各画素スイッチング用TFT30に対応する位置には、遮光層11aが設けられている。遮光層11aは、好ましくは不透明な高融点金属であるTi、Cr、W、

Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。

【0042】遮光層11aをこのような材料から構成することにより、TFTアレ基板10の支持基板10Aの表面上において、遮光層11aの形成工程の後に行われる画素スイッチング用TFT30の形成工程における高温処理により、遮光層11aが破壊されたり熔融することを防止することができる。

【0043】本実施形態においては、このようにTFTアレ基板10に遮光層11aが形成されているので、TFTアレ基板10側からの戻り光等が画素スイッチング用TFT30のチャネル領域1a'やLDD領域1b、1cに入射することを防ぐことができ、光電流の発生によりトランジスタ素子としての画素スイッチング用TFT30の特性が劣化することを防止することができる。

【0044】また、遮光層11aと複数の画素スイッチング用TFT30との間には、第1層間絶縁膜（絶縁体層）12が設けられている。第1層間絶縁膜12は、画素スイッチング用TFT30を構成する半導体層1aを遮光層11aから電氣的絶縁するために設けられるものであり、第1層間絶縁膜12は、支持基板10Aの表面上の全面に形成されている。

【0045】また、このようにTFTアレ基板10の表面上に第1層間絶縁膜12を設けることにより、遮光層11aが画素スイッチング用TFT30等を汚染することを防止することもできる。

【0046】また、本実施形態では、ゲート絶縁膜2を走査線3aに対向する位置から延設して誘電体膜として用い、半導体層1aを延設して第1蓄積容量電極1fとし、更にこれらに対向する容量線3bの一部を第2蓄積容量電極とすることにより、蓄積容量70が構成されている。

【0047】より詳細には、半導体層1aの高濃度ドレイン領域1eが、データ線6a及び走査線3aの下に延設されて、同じくデータ線6a及び走査線3aに沿って伸びる容量線3b部分に絶縁膜2を介して対向配置されて、第1蓄積容量電極（半導体層）1fとされている。特に蓄積容量70の誘電体としての絶縁膜2は、高温酸化により単結晶半導体層上に形成されるTFT30のゲート絶縁膜2に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、蓄積容量70は比較的小面積で大容量の蓄積容量として構成できる。

【0048】更に、蓄積容量70においては、図2及び図3から分かるように、遮光層11aを、第2蓄積容量電極としての容量線3bの反対側において第1蓄積容量電極1fに第1層間絶縁膜12を介して第3蓄積容量電極として対向配置させることにより（図3の図示右側の蓄積容量70参照）、蓄積容量が更に付与されるように構成されている。即ち、本実施形態では、第1蓄積容量

電極1fを挟んで両側に蓄積容量が付与されるダブル蓄積容量構造が構築されており、蓄積容量がより増加する。このような構造とすることにより、本実施形態の電気光学装置が持つ、表示画像におけるフリッカや焼き付きを防止する機能を向上させることができる。

【0049】これらの結果、データ線6a下の領域及び走査線3aに沿って液晶のディスクリネーションが発生する領域（即ち、容量線3bが形成された領域）という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来る。

【0050】また、本実施形態では、遮光層11a（及びこれに電氣的に接続された容量線3b）は定電位源に電氣的に接続されており、遮光層11a及び容量線3bは、定電位とされている。従って、遮光層11aに対向配置される画素スイッチング用TFT30に対し遮光層11aの電位変動が悪影響を及ぼすことはない。また、容量線3bは、蓄積容量70の第2蓄積容量電極として良好に機能し得る。なお、定電位源としては、本実施形態の電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極21に供給される定電位源等を挙げることができる。このように周辺回路等の電源を利用すれば、専用の電位配線や外部入力端子を設ける必要なく、遮光層11a及び容量線3bを定電位にすることができる。

【0051】次に、図3において、画素スイッチング用TFT30は、完全空乏型のN型トランジスタである。半導体層1aの膜厚を30nmから100nmまでの範囲、好ましくは40nmから60nmまでの範囲で一定の膜厚とする。半導体層1aの膜厚が100nm以下であれば、チャネル部の不純物濃度によらずゲート電極が制御する空乏層が半導体層1aよりも大きく拡がるため、画素スイッチング用TFT30は完全空乏型となる。また、画素スイッチング用TFT30は、LDD（Lightly Doped Drain）構造を有しており、走査線3a、該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。

【0052】また、半導体層1aが30nm以上であり、好ましくは40nm以上のためチャネル領域1a'の膜厚による閾値電圧等のトランジスタ特性のばらつきを小さくできる。さらに、半導体層1aが100nm好ましくは60nm以下のため、前記遮光層11aで防止することの出来ない迷光が半導体層1aに照射されても、光励起の電子正孔対の生成量が小さく抑えることができる。したがって、光リーク電流が小さくでき、画素

のスイッチング素子である画素スイッチング用TFT30として有効である。データ線6aは、A1等の金属膜や金属シリサイド等の合金膜などの遮光性金属薄膜から構成されている。また、走査線3a、ゲート絶縁膜2及び第1層間絶縁膜12の上には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成された第2層間絶縁膜4が形成されている。このソース領域1bへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電氣的接続されている。更に、データ線6a及び第2層間絶縁膜4の上には、高濃度ドレイン領域1eへのコンタクトホール8が形成された第3層間絶縁膜7が形成されている。この高濃度ドレイン領域1eへのコンタクトホール8を介して、画素電極9aは高濃度ドレイン領域1eに電氣的接続されている。前述の画素電極9aは、このように構成された第3層間絶縁膜7の上面に設けられている。尚、画素電極9aと高濃度ドレイン領域1eとは、データ線6aと同一のA1膜や走査線3bと同一のポリシリコン半導体膜を中継しての電氣的接続するようにしてもよい。

【0053】画素スイッチング用TFT30は、好ましくは上述のようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cにそれぞれ不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、ゲート電極3aをマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。

【0054】また、画素スイッチング用TFT30のゲート電極（走査線）3aをソースドレイン領域1b及び1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにダブルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも1個をLDD構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0055】ここで、一般には、半導体層1aのチャネル領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c等の単結晶半導体層は、光が入射すると半導体が有する光電変換効果により光電流が発生してしまい画素スイッチング用TFT30のトランジスタ特性が劣化するが、本実施形態では、走査線3aを上側から覆うようにデータ線6aがA1等の遮光性の金属薄膜から形成されているので、少なくとも半導体層1aのチャネル領域1a'及びLDD領域1b、1cに光が入射するのを効果的に防ぐことが出来る。また、前述のように、画

素スイッチング用TFT30の下側には、遮光層11aが設けられているので、少なくとも半導体層1aのチャネル領域1a'及び低濃度ソース領域1b、低濃度ドレイン領域1cへの戻り光が入射することについても効果的に防ぐことが出来る。更に、上記の構成から漏れて入射する光があったとしても、画素スイッチング用TFT30の半導体層1aが薄いため、光リークを十分に抑えることが出来る。

【0056】上述の実施例において、半導体層1aは単結晶半導体の場合に限定される訳ではなく、半導体層1aが多結晶半導体の場合についても同様の構造を適用できることはもちろんである。

【0057】（電気光学装置の製造方法）次に、上記構造を有する電気光学装置の製造方法について、図4～図12、図18、図19を参照して説明する。

【0058】図18は電気光学装置用基板であるTFTアレイ基板の製造過程においてウエハから個々のTFTアレイ基板に切り離す前の基板平面図で、図19は図18のO-O'断面図である。図4～図12はTFTアレイ基板の製造方法を示した断面図であり、図4～図7は図18のO-O'断面、図8～図12は図2のA-A'断面である。図4～図7については、本発明を理解しやすいようにデバイス形成層の端部が存在するウエハ周辺領域と、ウエハ中心付近のトランジスタ素子形成領域をそれぞれ分けて図示してある。なお、図4～図7と図8～図12とは異なる縮尺で示している。

【0059】まず図18、図19を用いて、本実施形態で示される電気光学装置用基板が製造される際の基板の形状について説明する。図18に示すように、TFTアレイ基板10を製造する際、例えば直径300mmの基板内で最大数のTFTアレイ基板10がとれるようにマトリクス状に配置され、液晶注入工程前のスクライブなどの工程を経て、最終的に切り離される。支持基板10A上にはデバイス形成層206が貼り合わされており、デバイス形成層の端部220は支持基板端部230に対し基板内部にあり、その幅は通常5mm程度である。符号Kで示すウエハ周辺領域は、デバイス形成層の端部220と支持基板端部230を含む領域であり支持基板10Aの一部露出をしている。ウエハ周辺領域を除く、符号Nで示すトランジスタ形成領域はデバイス形成層206に覆われた領域であり、画素トランジスタを含む符号Mで示す画像表示領域と周辺回路を含む符号Lで示す画素周辺領域によって構成されている。

【0060】次に図4～図7に基づいて、TFTアレイ基板10の支持基板10Aの表面上に遮光層11aと第1層間絶縁膜12、単結晶半導体層206a、ゲート酸化膜2を形成するまでの工程について詳細に説明する。

【0061】はじめに、石英基板、ハードガラス等の支持基板（光透過性基板）10Aを用意し、支持基板10

Aを好ましくは N_2 （窒素）等の不活性ガス雰囲気下、約850～1300℃、より好ましくは1000℃の高温でアニール処理し、後に実施される高温プロセスにおいて支持基板10Aに生じる歪みが少なくなるように前処理することが望ましい。即ち、製造工程において処理される最高温度に合わせて、支持基板10Aを同じ温度かそれ以上の温度で熱処理する。

【0062】このように処理された支持基板10Aの表面上の全面に、図4(a)に示すように、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等を、スパッタリング法、CVD法、電子ビーム加熱蒸着法などにより、例えば150～200nmの膜厚に堆積することにより、遮光層11を形成する。

【0063】次に、支持基板10Aの表面上の全面にフォトリソストを形成した後、最終的に形成する遮光層11aのパターン（図2参照）を有するフォトマスクを用いてフォトリソストを露光し、その後フォトリソストを現像することにより、図4(b)に示すように、最終的に形成する遮光層11aのパターンを有するフォトリソスト207を形成する。

【0064】次に、フォトリソスト207をマスクとして遮光層11のエッチングを行い、その後、フォトリソスト207を剥離することにより、図4(c)に示すように、支持基板10Aの表面上において、所定のパターン（図2参照）の遮光層11aが形成される。遮光層11aの膜厚は、例えば150～200nmとなる。

【0065】次に、図5(a)に示すように、遮光層11aを形成した支持基板10Aの表面上に、スパッタリング法、CVD法などにより、第1の絶縁体層12Aを形成する。第1の絶縁体層12Aの材料としては、NSG（ノンドープトシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス等を例示することができる。また、第1の絶縁体層12Aの膜厚は、少なくとも遮光層11aの膜厚よりも厚く設定し、例えば、約400～1000nm、より好ましくは800nm程度とする。

【0066】次に、図5(b)に示すように、遮光層11A上の絶縁膜12Aの表面をCMP（化学的機械研磨）法などの方法を用いて研磨し、平坦化することにより遮光層つき基板10Bができる。

【0067】次に図5(c)に示す遮光層つき基板10Bと単結晶半導体基板208との貼り合わせを行う。

【0068】単結晶半導体基板208の厚さは例えば600μmであり、あらかじめ、単結晶半導体基板208の遮光層付き基板10Bと貼り合わせる側の表面には、酸化膜層206bが形成されていると共に、水素イオン（ H^+ ）が例えば加速電圧100keV、ドーズ量 $10 \times 10^{16} / cm^2$ にて注入されている。酸化膜層20

6bは単結晶半導体基板206の表面を0.05～0.8μm程度酸化することにより形成される。

【0069】貼り合わせ工程は、例えば300℃で2時間熱処理することによって2枚の基板を直接貼り合わせる。また、貼り合わせ強度をさらに高めるためには、さらに熱処理温度を上げて450℃程度にする必要があるが、石英などからなる基板本体10Bと単結晶半導体基板208の熱膨張係数には大きな差があるため、このまま加熱すると単結晶半導体層にクラックなどの欠陥が発生し、製造されるTFTアレイ基板10の品質が劣化する恐れがある。

【0070】このようなクラックなどの欠陥の発生を抑制するためには、一度300℃にて貼り合わせのための熱処理を行った単結晶半導体基板208をウェットエッチングまたはCMPによって100～150μm程度まで薄くした後に、さらに高温の熱処理を行うことが望ましい。例えば80℃のKOH水溶液を用い、単結晶半導体基板208の厚さが150μmなるようエッチングを行った後、遮光層付き基板10Bとの貼り合わせを行い、さらに450℃にて再び熱処理し、貼り合わせ強度を高めることが望ましい。

【0071】次に、貼り合わせた単結晶半導体基板208の貼り合わせ面側の酸化膜206bと単結晶半導体層206aを残したまま、単結晶半導体基板208の一部を遮光層付き基板10Bから剥離するための熱処理を行うことによって、図5(d)に示すような薄膜単結晶半導体層206aを遮光層付き基板10B上に形成する。この基板の剥離現象は、単結晶半導体基板208中に導入された水素イオンによって、単結晶半導体基板208の表面近傍のある層で半導体の結合が分断されるために生じるものである。

【0072】熱処理は例えば、貼り合わせた2枚の基板を毎分20℃の昇温速度にて600℃まで加熱することにより行うことができる。この熱処理によって、貼り合わせた単結晶半導体基板206aが単結晶半導体基板208と分離し、遮光層付き基板10Bの表面上には約200nm±5nm程度の単結晶半導体層206aが形成される。なお、単結晶半導体層206aは、前に述べた単結晶半導体基板206に対して行われる水素イオン注入の加速電圧を変えることによって50nm～3000nmまで任意の膜厚で形成することが可能である。

【0073】なお、薄膜化した単結晶半導体層206aは、ここに述べた方法以外に、単結晶半導体基板の表面を研磨してその膜厚を3～5μmとした後、さらにPACE（Plasma Assisted Chemical Etching）法によってその膜厚を0.05～0.8μm程度までエッチングして仕上げる方法や、多孔質半導体上に形成したエピタキシャル半導体層を多孔質半導体層の選択エッチングによって貼り合わせ基板上に転写するELTRAN（Epitaxial La

yer Transfer) 法によっても得ることができる。

【0074】以上のように、図4および図5の工程により形成された遮光層11aは貼り合わされたデバイス形成層206の端部に対して基板内側に設けられるようなパターンを有している。よって、遮光層11a上層がデバイス形成層に覆われている構造となるため、ウエット処理の際、遮光層上部の絶縁膜12Aがエッチングされてしまうことを防ぐことができる。また、デバイス形成層の端部220がフォトレジスト209（図6参照）で完全に覆われない場合、基板端部の貼り合わせ界面221からエッチング液が浸透し、絶縁膜12Aや酸化膜206bが横方向に1mm程度エッチングされてしまうため、好ましくは遮光層11aが貼り合わされたデバイス形成層の端部220に対して1mm以上基板内側に設けられるように遮光層11aの形成位置を調整しておく。これにより万一、デバイス形成層端部が保護膜に覆われない領域が生じたとしても、それに起因する汚染などのトラブルを最小限に抑制するプロセスとなる。すなわちデバイス形成層の端部220に対して1mm以上基板内側に遮光層を設けることによって、ウエット処理の際、遮光層上層の絶縁膜がエッチングされ、金属などの遮光層が基板表面に露出してしまふことをより一層防止することができる。

【0075】次に図6に示す工程によって、酸化膜206cを単結晶半導体層206aを熱酸化することで形成し、さらにトランジスタ素子形成領域の酸化膜206cをウエット処理で除去する。これはトランジスタ素子のチャネル部にあたる単結晶半導体層206aの膜厚を制御するためであり、完全空乏型のトランジスタを形成するためには、単結晶半導体層206aの膜厚を30nmから100nmまでの範囲で一定の膜厚にするのが好ましい。そのため図6(a)に示すように、酸化膜206cを200nm程度形成した。

【0076】さらに図6(b)に示すように、酸化膜206cをウエット処理し除去する前段階として、基板本体10Aの表面上の全面にフォトレジストを形成する。このとき、搬送時に基板端部のフォトレジスト209の剥がれなどが起きないように、基板端部及び端面のフォトレジスト209をあらかじめ除去する。基板端部を露光しフォトレジストを感光しても良いし、また、水酸化カリウム水溶液などのアルカリ溶液で剥離しても良い。このときデバイス形成層の端部220が、基板端部のフォトレジスト209を剥離した領域よりも外側ならないようにするのが望ましい。すなわちフォトレジスト209から、貼り合わされたデバイス形成層の端部220が露出してしまふと、貼り合わせ界面221からエッチング液が浸透し、絶縁膜12Aおよび206bがエッチングされてしまふ。フォトレジスト209が、貼り合わされたデバイス形成層の端部220を覆っていれば、エッ

チング液が基板端部の貼り合わせ界面221から浸透し、絶縁膜12Aおよび206bがエッチングされてしまふことをより一層確実に防ぐことができる。

【0077】次に図6(c)に示すように、フォトマスクを用いてフォトレジストを露光し、その後フォトレジストを現像することにより基板周辺部を覆うようなパターンを有するフォトレジスト209を形成する。このことにより、酸化膜をウエット処理する際に、貼り合わせ界面221からエッチング液が浸透するのを、絶縁膜12Aおよび酸化膜206bがエッチングされてしまふことを防止し、単結晶シリコン層206aが剥離してしまふのを防ぐことができる。なお、基板周辺部を覆うようなフォトレジスト209は、ウエハ周辺領域のみならず、他の領域を覆うものでも良く、たとえば完全空乏のトランジスタを作りこみたい領域だけを残し、あとの領域全体を覆うようなパターンで作成しても良い。さらにフォトレジスト209を剥離することで、図6(d)に示すように貼り合わせ界面221にエッチング液が浸透しないような工程を経ることができる。

【0078】次に、図7(a)に示すように、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの半導体層1aを形成する。即ち、特にデータ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TF T 30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。

【0079】次に、図7(b)に示すように、画素スイッチング用TF T 30を構成する半導体層1aと共に約850～1300℃の温度、好ましくは約1000℃の温度で72分程度熱酸化することにより、約60nmの比較的薄い厚さの熱酸化半導体膜を形成し、画素スイッチング用TF T 30のゲート絶縁膜2と共に容量形成用のゲート絶縁膜2を形成する。この結果、半導体層1a及び第1蓄積容量電極1fの厚さは、約30～170nmの厚さ、ゲート絶縁膜2の厚さは、約60nmの厚さとなる。なお図7(b)には、第1蓄積容量電極1fは図示していない。

【0080】次に、図8～図12に基づいて、ゲート絶縁膜2を形成した遮光層付き基板10BからTF T アレイ基板10を製造する方法について説明する。尚、図8～図12は各工程におけるTF T アレイ基板の一部分を、図3と同様に、図2のA-A'断面に対応させて示す工程図である。図8から図12は、図4から図7と異なる縮尺で示す図である。また、図8～図12においては、簡略化のため、第1層間絶縁膜12を構成する第1の絶縁体層12A及び第2の絶縁体層206bの図示を省略する。

【0081】次に、図8(a)に示すように、Nチャネルの半導体層1aに対応する位置にレジスト膜301を形成し、Pチャネルの半導体層1aにPなどのV族元素

のドーパント 302 を低濃度で（例えば、P イオンを 70 keV の加速電圧、 $2 \times 10^{11} / \text{cm}^2$ のドーズ量にて）ドーピングする。

【0082】次に、図 8 (b) に示すように、図示を省略する P チャネルの半導体層 1a に対応する位置にレジスト膜を形成し、N チャネルの半導体層 1a に B などの III 族元素のドーパント 303 を低濃度で（例えば、B イオンを 35 keV の加速電圧、 $1 \times 10^{12} / \text{cm}^2$ のドーズ量にて）ドーピングする。

【0083】次に、図 8 (c) に示すように、P チャネル、N チャネル毎に各半導体層 1a のチャネル領域 1a' の端部を除く基板 10 の表面にレジスト膜 305 を形成し、P チャネルについて、図 8 (a) に示した工程の約 1 ~ 10 倍のドーズ量の P などの V 族元素のドーパント 306、N チャネルについて図 9 (b) に示した工程の約 1 ~ 10 倍のドーズ量の B などの III 族元素のドーパント 306 をドーピングする。

【0084】次に、図 8 (d) に示すように、半導体層 1a を延設してなる第 1 蓄積容量電極 1f を低抵抗化するため、遮光層付き基板 10B の表面の走査線 3a（ゲート電極）に対応する部分にレジスト膜 307（走査線 3a よりも幅が広い）を形成し、これをマスクとしてその上から P などの V 族元素のドーパント 308 を低濃度で（例えば、P イオンを 70 keV の加速電圧、 $3 \times 10^{14} / \text{cm}^2$ のドーズ量にて）ドーピングする。

【0085】次に、図 9 (a) に示すように、第 1 層間絶縁膜 12 に遮光層 11a に至るコンタクトホール 13 を反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウエットエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール 13 等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール 13 等をテーパー状にできるので、配線接続時の断線を防止できるという利点が得られる次に、図 9 (b) に示すように、減圧 CVD 法等によりポリシリコン半導体層 3 を 350 nm 程度の厚さで堆積した後、リン (P) を熱拡散し、ポリシリコン半導体膜 3 を導電化する。又は、P イオンをポリシリコン半導体膜 3 の成膜と同時に導入したドーパント半導体膜を用いてもよい。これにより、ポリシリコン半導体層 3 の導電性を高めることができる。

【0086】次に、図 9 (c) に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図 2 に示した如き所定パターンの走査線 3a と共に容量線 3b を形成する。尚、この後、遮光層付き基板 10B の裏面に残存するポリ半導体を遮光層付き基板 10B の表面をレジスト膜で覆ってエッチングにより除去する。

【0087】次に、図 9 (d) に示すように、半導体層 1a に P チャネルの LDD 領域を形成するために、N チャネルの半導体層 1a に対応する位置をレジスト膜 309 で覆い、走査線 3a（ゲート電極）を拡散マスクとして、まず B などの III 族元素のドーパント 310 を低濃度で（例えば、BF₂ イオンを 90 keV の加速電圧、 $3 \times 10^{13} / \text{cm}^2$ のドーズ量にて）ドーピングし、P チャネルの低濃度ソース領域 1b 及び低濃度ドレイン領域 1c を形成する。

【0088】続いて、図 9 (e) に示すように、半導体層 1a に P チャネルの高濃度ソース領域 1d 及び高濃度ドレイン領域 1e を形成するために、N チャネルの半導体層 1a に対応する位置をレジスト膜 309 で覆った状態で、かつ、図示はしていないが走査線 3a よりも幅の広いマスクでレジスト層を P チャネルに対応する走査線 3a 上に形成した状態、同じく B などの III 族元素のドーパント 311 を高濃度で（例えば、BF₂ イオンを 90 keV の加速電圧、 $2 \times 10^{15} / \text{cm}^2$ のドーズ量にて）ドーピングする。

【0089】次に、図 10 (a) に示すように、半導体層 1a に N チャネルの LDD 領域を形成するために、P チャネルの半導体層 1a に対応する位置をレジスト膜（図示せず）で覆い、走査線 3a（ゲート電極）を拡散マスクとして、P などの V 族元素のドーパント 60 を低濃度で（例えば、P イオンを 70 keV の加速電圧、 $6 \times 10^{12} / \text{cm}^2$ のドーズ量にて）ドーピングし、N チャネルの低濃度ソース領域 1b 及び低濃度ドレイン領域 1c を形成する。

【0090】続いて、図 10 (b) に示すように、半導体層 1a に N チャネルの高濃度ソース領域 1d 及び高濃度ドレイン領域 1e を形成するために、走査線 3a よりも幅の広いマスクでレジスト 62 を N チャネルに対応する走査線 3a 上に形成した後、同じく P などの V 族元素のドーパント 61 を高濃度で（例えば、P イオンを 70 keV の加速電圧、 $4 \times 10^{15} / \text{cm}^2$ のドーズ量にて）ドーピングする。

【0091】次に、図 10 (c) に示すように、画素スイッチング用 TFT 30 における走査線 3a と共に容量線 3b 及び走査線 3a を覆うように、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化半導体膜や酸化半導体膜等からなる第 2 層間絶縁膜 4 を形成する。第 2 層間絶縁膜 4 の膜厚は、約 500 ~ 1500 nm が好ましく、更に 800 nm がより好ましい。

【0092】この後、高濃度ソース領域 1d 及び高濃度ドレイン領域 1e を活性化するために約 850 °C のアニール処理を 20 分程度行う。

【0093】次に、図 10 (d) に示すように、データ線 31 に対するコンタクトホール 5 を、反応性エッチング、反応性イオンビームエッチング等のドライエッチン

グにより或いはウエットエッチングにより形成する。また、走査線 3 a や容量線 3 b を図示しない配線と接続するためのコンタクトホールも、コンタクトホール 5 と同一の工程により第 2 層間絶縁膜 4 に開孔する。

【0094】次に、図 11 (a) に示すように、第 2 層間絶縁膜 4 の上に、スパッタ処理等により、遮光性の A 1 等の低抵抗金属や金属シリサイド等を金属膜 6 とし、約 100~700 nm の厚さ、好ましくは約 350 nm に堆積し、更に図 11 (b) に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線 6 a を形成する。

【0095】次に、図 11 (c) に示すように、データ線 6 a 上を覆うように、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化半導体膜や酸化半導体膜等からなる第 3 層間絶縁膜 7 を形成する。第 3 層間絶縁膜 7 の膜厚は、約 500~1500 nm が好ましく、更に 800 nm がより好ましい。

【0096】次に、図 12 (a) に示すように、画素スイッチング用 TFT 30 において、画素電極 9 a と高濃度ドレイン領域 1 e とを電気的に接続するためのコンタクトホール 8 を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

【0097】次に、図 12 (b) に示すように、第 3 層間絶縁膜 7 の上に、スパッタ処理等により、ITO 等の透明導電性薄膜 9 を、約 50~200 nm の厚さに堆積し、更に図 12 (c) に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極 9 a を形成する。尚、本実施形態の電気光学装置が反射型電気光学装置である場合には、A 1 等の反射率の高い不透明な材料から画素電極 9 a を形成してもよい。

【0098】続いて、画素電極 9 a の上にポリイミド系の有機配向膜の塗布液を塗布した後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜 16 (図 3 参照) が形成される。

【0099】以上のようにして、TFT アレイ基板 (電気光学装置用基板) 10 が製造される。

【0100】本実施形態の電気光学装置用基板の製造方法によれば、単結晶半導体層 206 a を熱酸化した後、酸化膜をウエット処理する際に遮光層付き基板 10 B とデバイス形成層 206 との貼り合わせ端部 220 をフォトリソ resist 209 で覆うため、基板端部の遮光層付き基板 10 B とデバイス形成層 206 との貼り合わせ界面 221 からエッチング液が浸透するのを防止するため、絶縁膜 12 A 及び酸化膜 206 b がエッチングされてしまうことを防ぐことができる。また遮光層 11 A は、貼り合わされたデバイス形成層の端部 220 に対して基板内側に設けられているため、遮光層 11 a 上層がデバイス形成層に覆われている構造となり、ウエット処理の際、遮光層上部の絶縁膜 12 A がエッチングされてしまうこと

を防ぐことができる。

【0101】またさらに、遮光層 11 A は、貼り合わされた前記デバイス形成層の端部 220 に対して 1 mm 以上基板内側に設けられているため、たとえデバイス形成層端部 220 がフォトリソ resist 209 で完全に覆われず、遮光層付き基板 10 B とデバイス形成層 206 との貼り合わせ界面 221 からエッチング液が浸透し、絶縁膜 12 A がエッチングされてしまっても、デバイス形成層 206 の端部に対して 1 mm 以上基板内側に遮光層 11 A を設けることによって、ウエット処理の際、絶縁膜 12 A がエッチングされ、金属などの遮光層 11 A が基板表面に露出してしまうことを防止することができる。

【0102】なお、本実施形態においては、遮光層 11 A を形成する場合についてのみ説明したが、遮光層 11 A がない TFT アレイ基板 (電気光学装置用基板) 10 の作成においても、保護膜を付けることにより遮光層付き基板 10 B とデバイス形成層 206 との貼り合わせ界面 221 からエッチング液が浸透するのを防止できるため、絶縁膜 12 A 及び酸化膜 206 b がエッチングされてしまうことを防ぐことができ、単結晶半導体層 206 a の膜剥がれなどによる、歩留まりの低下を防止することができる。

【0103】次に、対向基板 20 の製造方法及び TFT アレイ基板 10 と対向基板 20 とから電気光学装置を製造する方法について説明する。

【0104】図 3 に示した対向基板 20 については、基板本体 20 A としてガラス基板等の光透過性基板を用意し、基板本体 20 A の表面上に、対向基板遮光層 23 及び後述する周辺見切りとしての対向基板遮光層を形成する。対向基板遮光層 23 及び後述する周辺見切りとしての対向基板遮光層は、例えば Cr、Ni、Al などの金属材料をスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、これらの対向基板遮光層は、上記の金属材料の他、カーボンや Ti などフォトリソ resist に分散させた樹脂ブラックなどの材料から形成してもよい。

【0105】その後、基板本体 20 A の表面上の全面にスパッタリング法などにより、ITO 等の透明導電性薄膜を、約 50~200 nm の厚さに堆積することにより、対向電極 21 を形成する。更に、対向電極 21 の表面上の全面にポリイミドなどの有機配向膜の塗布液を塗布した後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜 22 (図 3 参照) を形成する。以上のようにして、対向基板 20 が製造される。

【0106】最後に、上述のように製造された TFT アレイ基板 10 と対向基板 20 とを、配向膜 16 及び 22 が互いに対向するようにシール材により貼り合わせ、真空吸引法などの方法により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶を吸引

して、所定の厚みを有する液晶層 50 を形成することにより、上記構造の電気光学装置が製造される。

【0107】（電気光学装置の全体構成）上記のように構成された本実施形態の電気光学装置の全体構成を図 13 及び図 14 を参照して説明する。尚、図 13 は、TFT アレイ基板 10 を対向基板 20 側から見た平面図であり、図 14 は、対向基板 20 を含めて示す図 13 の H-H' 断面図である。

【0108】図 13 において、TFT アレイ基板 10 の表面上には、シール材 52 がその縁に沿って設けられており、図 14 に示すように、図 13 に示したシール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により TFT アレイ基板 10 に固着されている。

【0109】図 13 に示すように、対向基板 20 の表面上にはシール材 52 の内側に並行させて、例えば対向基板遮光層 23 と同じ或いは異なる材料から成る周辺見切りとしての対向基板遮光層 53 が設けられている。

【0110】また、TFT アレイ基板 10 において、シール材 52 の外側の領域には、データ線駆動回路 101 及び実装端子 102 が TFT アレイ基板 10 の一辺に沿って設けられており、走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って設けられている。走査線 3a に供給される走査信号遅延が問題にならない場合には、走査線駆動回路 104 は片側だけでも良いことは言うまでもない。

【0111】また、データ線駆動回路 101 を表示領域（画素部）の辺に沿って両側に配列してもよい。例えば奇数列のデータ線 6a は表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線 6a は表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線 6a を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。

【0112】更に TFT アレイ基板 10 の残る一辺には、表示領域の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられており、更に、周辺見切りとしての対向基板遮光層 53 の下に隠れてプリチャージ回路を設けてもよい。また、TFT アレイ基板 10 と対向基板 20 間のコーナー部の少なくとも 1箇所においては、TFT アレイ基板 10 と対向基板 20 との間で電氣的導通をとるための導通材 106 が設けられている。

【0113】また、TFT アレイ基板 10 の表面上には更に、製造途中や出荷時の電気光学装置の品質、欠陥等进行检查するための検査回路等を形成してもよい。また、データ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 の表面上に設ける代わりに、例えば TAB（テープオートメイトボンディング基板）上

に実装された駆動用 LSI に、TFT アレイ基板 10 の周辺領域に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

【0114】また、対向基板 20 の光が入射する側及び TFT アレイ基板 10 の光が出射する側には各々、例えば、TN（ツイステッドネマティック）モード、STN（スーパー TN）モード、D-STN（デュアルスキャン STN）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定の方向で配置される。

【0115】本実施形態の電気光学装置がカラー液晶プロジェクタ（投射型表示装置）に適用される場合には、3 枚の電気光学装置が RGB 用のライトバルブとして各々用いられ、各パネルには各々 RGB 色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、その場合には上記実施形態で示したように、対向基板 20 に、カラーフィルタは設けられていない。

【0116】しかしながら、対向基板 20 の基板本体 20A の液晶層 50 側表面上において、対向基板遮光層 23 の形成されていない画素電極 9a に対向する所定領域に RGB のカラーフィルタをその保護膜と共に形成してもよい。このような構成とすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー電気光学装置に、上記実施形態の電気光学装置を適用することができる。

【0117】更に、対向基板 20 の表面上に 1 画素に 1 個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板 20 の表面上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0118】なお、本実施形態における電気光学装置では、従来と同様に入射光を対向基板 20 側から入射させることとしたが、TFT アレイ基板 10 に遮光層 11a を設ける構成としているので、TFT アレイ基板 10 側から入射光を入射させ、対向基板 20 側から出射するようにしても良い。即ち、このように電気光学装置を液晶プロジェクタに取り付けても、半導体層 1a のチャネル領域 1a' 及び LDD 領域 1b、1c に光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。

【0119】従来は、TFT アレイ基板 10 の裏面側での反射を防止するために、反射防止用の AR（Anti-reflection）被膜された偏光手段を別途配置したり、AR フィルムを貼り付ける必要があった。し

かし、本実施形態では、TFTアレ基板 10 の表面と半導体層 1 a の少なくともチャネル領域 1 a' 及び LD 領域 1 b、1 c との間に遮光層 11 a が形成されているため、このような AR 被膜された偏光手段や AR フィルムを用いたり、TFTアレ基板 10 そのものを AR 処理した基板を使用する必要がなくなる。

【0120】従って、上記実施形態によれば、材料コストを削減でき、また偏光手段の貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

【0121】〔第2実施形態〕

（電気光学装置用基板の製造方法）次に、本発明に係る第2実施形態の電気光学装置用基板の製造方法として、TFTアレ基板の製造方法について説明する。

【0122】本実施形態の電気光学装置用基板の製造方法において、第1実施形態の電気光学装置用基板の製造方法と異なる点は保護膜の形成方法と、ゲート絶縁膜の形成方法のみである。したがって、図15、図16に基づいてTFTアレ基板の基板本体の表面上にゲート絶縁膜を形成するまでの工程についてのみ説明する。図15、図16は第1実施形態の図6、図7に相当し、図18、図19におけるO-O'断面図である。なお、図18、図19内で符号K、L、Mで示す領域は図15、図16内で記されているウエハ周辺領域、画素周辺領域、画像表示領域にそれぞれ対応する。図17以降の製造工程、すなわち第1層間絶縁膜を形成した後の工程については第1実施形態において図8～図14に示したものと全く同様である。また、図15、図16において、第1実施形態と同じ構成要素については同じ参照符号を付し、説明は省略する。

【0123】本実施形態においては、保護膜にシリコンナイトライドを用い、画像表示領域の単結晶シリコン層のみを酸化させ、薄くする工程を用いる場合について説明する。本発明を理解しやすいように、デバイス形成層の端部が存在するウエハ周辺領域と、画像表示領域、画素周辺領域をそれぞれ分けて図示してある。

【0124】本実施形態の周辺回路は、走査線駆動回路 104 を構成するシフトレジスタ、データ線駆動回路 101 を構成するシフトレジスタや、サンプリング回路、データ線 6 a に画像信号を供給する前に所定の電位を供給するプリチャージ回路が相当する。

【0125】まず、本発明に係る、図15 (a) には、デバイス形成層 206 を遮光層付き基板 10 B 上に貼り合わせ、たものを示している。

【0126】図15 (a) に示すように、遮光層付き基板 10 B の表面上に減圧化学気相堆積法 (LPCVD 法) をもちいたジクロロシランとアンモニアの反応によ

り、シリコンナイトライド層 210 を 100 nm ~ 300 nm 形成する。厚い膜では、その非常に高い内部応力によるクラックが入る可能性があるため、その膜厚は例えば 200 nm 程度とする。

【0127】さらに図15 (b) に示すように、フォトマスクを用いてフォトレジストを露光し、その後フォトレジストを現像することによりデバイス形成層端部 220 と、画素周辺領域を覆うようなパターンを有するフォトレジスト 211 を形成する。このときも第1実施形態で示したように、搬送時に基板端部のフォトレジストの剥がれなどが起きないように、基板端部及び端面のフォトレジストをあらかじめ除去してある。基板端部を露光しフォトレジストを感光しても良いし、また、水酸化カリウム水溶液などのアルカリ溶液で剥離しても良い。このときデバイス形成層の端部 220 が、基板端部のフォトレジストを剥離した領域よりも外側にならないようにするのが望ましい。すなわちシリコンナイトライドで保護された領域から、貼り合わされたデバイス形成層の端部 220 が露出してしまうと、貼り合わせ界面 221 からエッチング液が浸透し、絶縁膜 12 A 及び酸化膜 206 b がエッチングされてしまう。シリコンナイトライド 220 が、貼り合わされた前記デバイス形成層の端部 220 を覆っていれば、エッチング液が基板端部の貼り合わせ界面 221 から浸透し、絶縁膜 12 A がエッチングされてしまうことをより一層確実に防ぐことができる。

【0128】次に図15 (c) に示すように、支持基板と単結晶半導体基板との貼り合わせ界面 221 上層のシリコンナイトライドと、画素周辺部上層のシリコンナイトライドを残すようにエッチングする。シリコンナイトライド 210 は、ウエハ周辺領域のみならず画素周辺領域も覆っているため、画像表示領域の単結晶半導体層 206 a を薄く形成し、画素周辺領域の単結晶半導体層 206 a を比較的厚く形成する工程を同時に行うことができる。なお、シリコンナイトライドを除去する領域は、画像表示領域以外にも他の領域でも良く、たとえば完全空乏のトランジスタを画素周辺領域に作りこむ場合、所定の領域のシリコンナイトライドを除去し、あとの領域全体をシリコンナイトライドで覆うようなパターンで作成しても良い。

【0129】この後、図15 (d) の工程は、画像表示領域の単結晶半導体層 206 a を熱酸化する。これは画像表示領域のトランジスタ素子のチャネル部にあたる単結晶半導体層 206 a の膜厚を制御するためであり、完全空乏型のトランジスタを形成するためには、単結晶半導体層 206 a の膜厚を 30 nm から 100 nm までの範囲で一定の膜厚にするのが好ましい。よってこの場合、酸化膜 206 c を 200 nm 程度形成した。

【0130】次に、図15 (e) に示すように、熱酸化した単結晶半導体層 206 a 上の酸化膜 206 c をウェット処理する。これら図15 (a) から図15 (e) の

工程を経ることで、単結晶半導体層膜厚が200nmの画素周辺領域と70nmの画像表示領域が混在する基板を作成することができる。

【0131】次に、図16(a)に示すように、エッチングによってシリコンナイトライド220を除去し、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの半導体層1aを形成する。即ち、特にデータ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TFT30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。

【0132】次に、図16(b)に示すように、半導体層1aと共に第1蓄積容量電極1fを約850~1300℃の温度、好ましくは約1000℃の温度で72分程度熱酸化することにより、約60nmの比較的薄い厚さの熱酸化半導体膜を形成し、ゲート絶縁膜2と共に容量形成用のゲート絶縁膜2を形成する。この結果、画像表示領域の半導体層1a及び第1蓄積容量電極1fの厚さは、約30~170nmの厚さ、ゲート絶縁膜2の厚さは、約60nmの厚さとなる。また、画素周辺領域の半導体層1a及び第1蓄積容量電極1fの厚さは、約170nmの厚さ、ゲート絶縁膜2の厚さは、約60nmの厚さとなる。なお図16(a)、(b)には、第1蓄積容量電極1fは図示していない。

【0133】本実施形態の電気光学装置用基板の製造方法によれば、単結晶半導体層206aを熱酸化した後、酸化膜をウエット処理する際に遮光層付き基板とデバイス形成層との貼り合わせ端部220をシリコンナイトライド210で覆い、貼り合わせ界面221からエッチング液が浸透するのを防止するため、下地酸化膜12がエッチングされてしまうことを防ぐことができる。また、画像表示領域を完全空乏型トランジスタ、画素周辺領域を部分空乏型トランジスタを作り込む工程を、前記デバイス形成層の端部を保護膜で覆う工程と同一プロセスで行うことができ、工程数を削減することができる。なお遮光層11Aは、貼り合わされたデバイス形成層の端部220に対して内側に設けられているため、遮光層11a上層がデバイス形成層に覆われている構造となり、ウエット処理の際、遮光層上部の絶縁膜12Aがエッチングされてしまうことを防ぐことができる。また、基板周辺部がシリコンナイトライドで完全に覆われない場合、貼り合わせ界面221からエッチング液が浸透し、絶縁膜12Aおよび酸化膜206aが1mm程度エッチングされてしまうため、好ましくは遮光層11aが貼り合わされたデバイス形成層の端部に対して1mm以上基板内側に設けられるように遮光層11aの形成位置を調整しておく。これにより万一、デバイス形成層端部が保護膜に覆われない領域が生じたとしても、それに起因する汚染などのトラブルを最小限に抑制するプロセスとなる。すな

わちデバイス形成層の端部220に対して1mm以上基板内側に遮光層11aを設けることによって、ウエット処理の際、遮光層上部の絶縁膜12Aがエッチングされ、金属などの遮光層が基板表面に露出してしまうことをより一層防止することができる。

【0134】なお、本実施形態においては、遮光層を形成する場合についてのみ説明したが、遮光層がないTFTアレイ基板（電気光学装置用基板）10の作成においても、保護膜を付けることにより基板端部の遮光層付き基板10Bとデバイス形成層206との貼り合わせ界面221からエッチング液が浸透するのを防止できるため、下地酸化膜12がエッチングされてしまうことを防ぐことができ、単結晶半導体層206aの膜剥がれなどによる、歩留まりの低下を防止することができる。

【0135】（電子機器）上記の第1、第2実施形態の電気光学装置用基板の製造方法により製造される電気光学装置用基板を備えた電気光学装置を用いた電子機器の一例として、投射型表示装置の構成について、図17を参照して説明する。

【0136】図17において、投射型表示装置1100は、第1、第2実施形態の電気光学装置用基板の製造方法により製造される電気光学装置用基板を備えた電気光学装置を3個用意し、夫々RGB用の電気光学装置962R、962G及び962Bとして用いた投射型電気光学装置の光学系の概略構成図を示す。

【0137】本例の投射型表示装置の光学系には、光源装置920と、均一照明光学系923が採用されている。そして、投射型表示装置は、この均一照明光学系923から出射される光束Wを赤（R）、緑（G）、青（B）に分離する色分離手段としての色分離光学系924と、各色光束R、G、Bを変調する変調手段としての3つのライトバルブ925R、925G、925Bと、変調された後の色光束を再合成する色合成手段としての色合成プリズム910と、合成された光束を投射面100の表面に拡大投射する投射手段としての投射レンズユニット906を備えている。また、青色光束Bを対応するライトバルブ925Bに導く導光系927をも備えている。

【0138】均一照明光学系923は、2つのレンズ板921、922と反射ミラー931を備えており、反射ミラー931を挟んで2つのレンズ板921、922が直交する状態に配置されている。均一照明光学系923の2つのレンズ板921、922は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置920から出射された光束は、第1のレンズ板921の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第2のレンズ板922の矩形レンズによって3つのライトバルブ925R、925G、925B付近で重畳される。従って、均一照明光学系923を用いることにより、光源装置920が出射

光束の断面内で不均一な照度分布を有している場合でも、3つのライトバルブ925R、925G、925Bを均一な照明光で照明することが可能となる。

【0139】各色分離光学系924は、青緑反射ダイクロイックミラー941と、緑反射ダイクロイックミラー942と、反射ミラー943から構成される。まず、青緑反射ダイクロイックミラー941において、光束Wに含まれている青色光束Bおよび緑色光束Gが直角に反射され、緑反射ダイクロイックミラー942の側に向かう。赤色光束Rはこのミラー941を通過して、後方の反射ミラー943で直角に反射されて、赤色光束Rの出射部944からプリズムユニット910の側に出射される。

【0140】次に、緑反射ダイクロイックミラー942において、青緑反射ダイクロイックミラー941において反射された青色、緑色光束B、Gのうち、緑色光束Gのみが直角に反射されて、緑色光束Gの出射部945から色合成光学系の側に出射される。緑反射ダイクロイックミラー942を通過した青色光束Bは、青色光束Bの出射部946から導光系927の側に出射される。本例では、均一照明光学素子の光束Wの出射部から、色分離光学系924における各色光束の出射部944、945、946までの距離がほぼ等しくなるように設定されている。

【0141】色分離光学系924の赤色、緑色光束R、Gの出射部944、945の出射側には、それぞれ集光レンズ951、952が配置されている。したがって、各出射部から出射した赤色、緑色光束R、Gは、これらの集光レンズ951、952に入射して平行化される。

【0142】このように平行化された赤色、緑色光束R、Gは、ライトバルブ925R、925Gに入射して変調され、各色光に対応した画像情報が付加される。すなわち、これらの電気光学装置は、図示を省略している駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。一方、青色光束Bは、導光系927を介して対応するライトバルブ925Bに導かれ、ここにおいて、同様に画像情報に応じて変調が施される。尚、本例のライトバルブ925R、925G、925Bは、それぞれさらに入射側偏光手段960R、960G、960Bと、出射側偏光手段961R、961G、961Bと、これらの間に配置された電気光学装置962R、962G、962Bとからなる液晶ライトバルブである。

【0143】導光系927は、青色光束Bの出射部946の出射側に配置した集光レンズ954と、入射側反射ミラー971と、出射側反射ミラー972と、これらの反射ミラーの間に配置した中間レンズ973と、ライトバルブ925Bの手前側に配置した集光レンズ953とから構成されている。集光レンズ946から出射された青色光束Bは、導光系927を介して電気光学装置96

2Bに導かれて変調される。各色光束の光路長、すなわち、光束Wの出射部から各電気光学装置962R、962G、962Bまでの距離は青色光束Bが最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系927を介在させることにより、光量損失を抑制することができる。

【0144】各ライトバルブ925R、925G、925Bを通して変調された各色光束R、G、Bは、色合成プリズム910に入射され、ここで合成される。そして、この色合成プリズム910によって合成された光が投射レンズユニット906を介して所定の位置にある投射面100の表面に拡大投射されるようになっている。

【0145】本例では、電気光学装置962R、962G、962Bには、TFTの下側に遮光層が設けられているため、当該電気光学装置962R、962G、962Bからの投射光に基づく液晶プロジェクト内の投射光学系による反射光、投射光が通過する際のTFTアレイ基板の表面からの反射光、他の電気光学装置から出射した後に投射光学系を突き抜けてくる投射光の一部等が、戻り光としてTFTアレイ基板の側から入射しても、画素電極のスイッチング用のTFTのチャンネルに対する遮光を十分に行うことができる。

【0146】このため、小型化に適したプリズムユニットを投射光学系に用いても、各電気光学装置962R、962G、962Bとプリズムユニットとの間において、戻り光防止用のフィルムを別途配置したり、偏光手段に戻り光防止処理を施したりすることが不要となるので、構成を小型且つ簡易化する上で大変有利である。

【0147】

【発明の効果】以上説明したように、本発明の電気光学装置用基板の製造方法によれば、単結晶半導体層を熱酸化した後、酸化膜をウエット処理する際にデバイス形成層端部を保護膜で覆うため、支持基板とデバイス形成層との貼り合わせ界面からエッチング液が浸透するのを防止し、下地酸化膜がエッチングされてしまうことを防ぐことができる。このことより、単結晶半導体層の工程内における膜剥がれ等が防止できるため、歩留まりよく製品を作成することができる。

【0148】また遮光層を設けた電気光学装置においては、遮光層が貼り合わされたデバイス形成層の端部に対して基板内側に設けられているため、遮光層11a上層がデバイス形成層に覆われている構造となり、ウエット処理の際、遮光層上部の絶縁膜12Aがエッチングされてしまうことを防ぐことができる。さらに、デバイス形成層の端部に対して1mm以上基板内側に遮光層を設けることによって、ウエット処理の際貼り合わせ界面からエッチング液が浸透し、遮光層上層の絶縁膜がエッチングされ、金属などの遮光層が基板表面に露出してしまうことをより一層防止することができる。

【0149】また、熱酸化膜形成時にも保護膜により周

辺部を覆っている場合、たとえばウエハ周辺領域においてデバイス形成層に覆われず、絶縁膜によってのみ覆われている遮光層があるときも、絶縁膜のクラックやボイドなどから酸化種が入り込み、遮光層が酸化されてしまうのを防ぐことができる。

【図面の簡単な説明】

【図 1】本発明における製造方法を用いた電気光学装置の画素部（表示領域）を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。

【図 2】図 1 に示した電気光学装置における、TFT アレイ基板のトランジスタ素子の形成領域（画素部）内の平面構造である。

【図 3】図 2 の A-A' 断面図である。

【図 4】電気光学装置の一実施形態の製造プロセスを順を追って示す工程図（その 1）である。

【図 5】電気光学装置の一実施形態の製造プロセスを順を追って示す工程図（その 2）である。

【図 6】電気光学装置の一実施形態の製造プロセスを順を追って示す工程図（その 3）である。

【図 7】電気光学装置の一実施形態の製造プロセスを順を追って示す工程図（その 4）である。

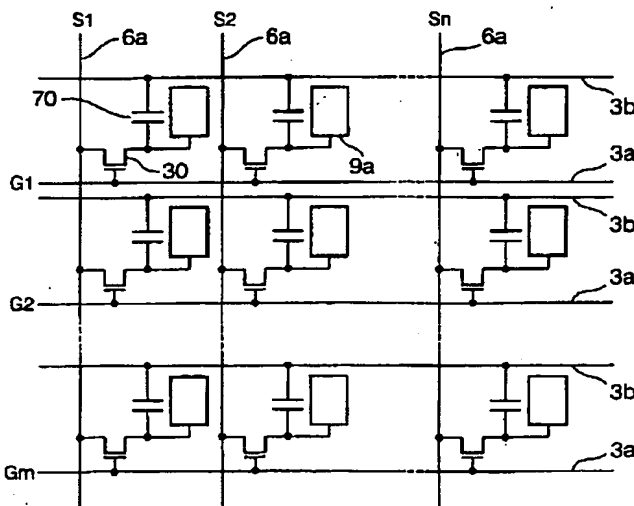
【図 8】図 1 に示した電気光学装置の製造プロセスを順を追って示す工程図（その 1）である。

【図 9】図 1 に示した電気光学装置の製造プロセスを順を追って示す工程図（その 2）である。

【図 10】図 1 に示した電気光学装置の製造プロセスを順を追って示す工程図（その 3）である。

【図 11】図 1 に示した電気光学装置の製造プロセスを順を追って示す工程図（その 4）である。

【図 1】



【図 12】図 1 に示した電気光学装置の製造プロセスを順を追って示す工程図（その 5）である。

【図 13】電気光学装置の各実施の形態における TFT アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 14】図 14 の H-H' 断面図である。

【図 15】電気光学装置の一実施形態の製造プロセスを順を追って示す工程図（その 1）である。

【図 16】電気光学装置の一実施形態の製造プロセスを順を追って示す工程図（その 2）である。

【図 17】電気光学装置を用いた電子機器の一例である投射型表示装置の構成図である。

【図 18】電気光学装置用基板用のウエハの基板平面図である。

【図 19】図 18 の O-O' 断面図である。

【符号の説明】

1 a ... 半導体層

1 a' ... チャネル領域

1 b ... 低濃度ソース領域（ソース側 LDD 領域）

20 1 c ... 低濃度ドレイン領域（ドレイン側 LDD 領域）

1 d ... 高濃度ソース領域

1 e ... 高濃度ドレイン領域

1 0 ... TFT アレイ基板

1 1 a ... 遮光層

1 2 ... 第 1 層間絶縁膜

2 0 2 ... 光透過性基板

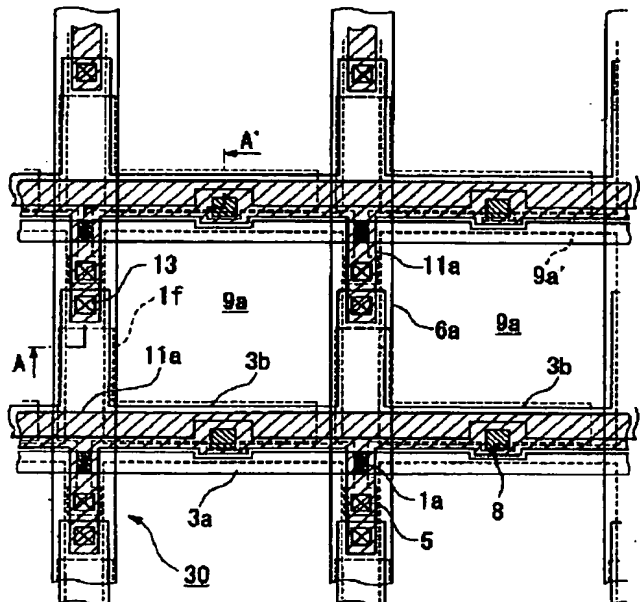
2 0 3 ... 凹部

2 0 4 ... 遮光層

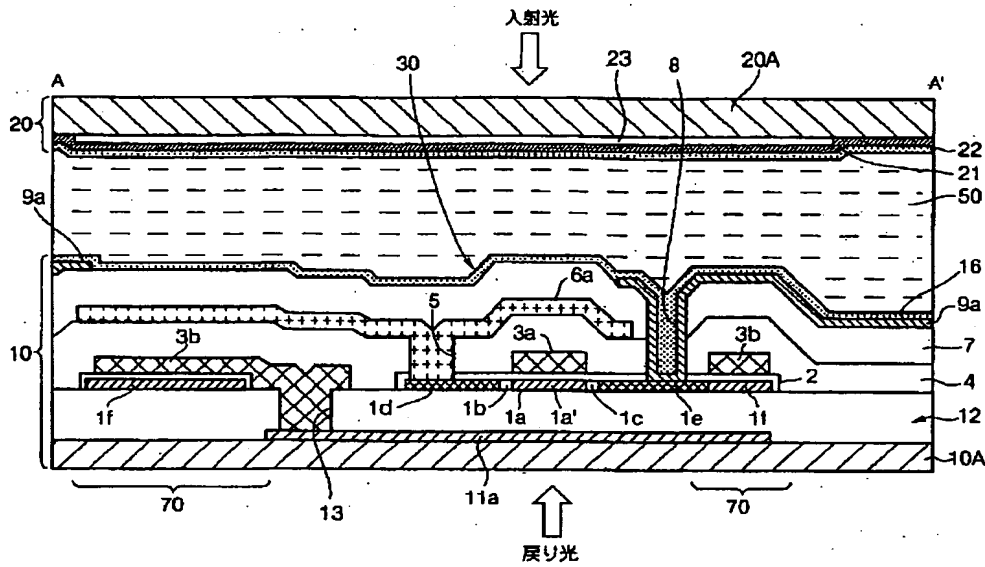
2 0 5 ... 絶縁体層

30 2 0 5 ... 単結晶半導体層

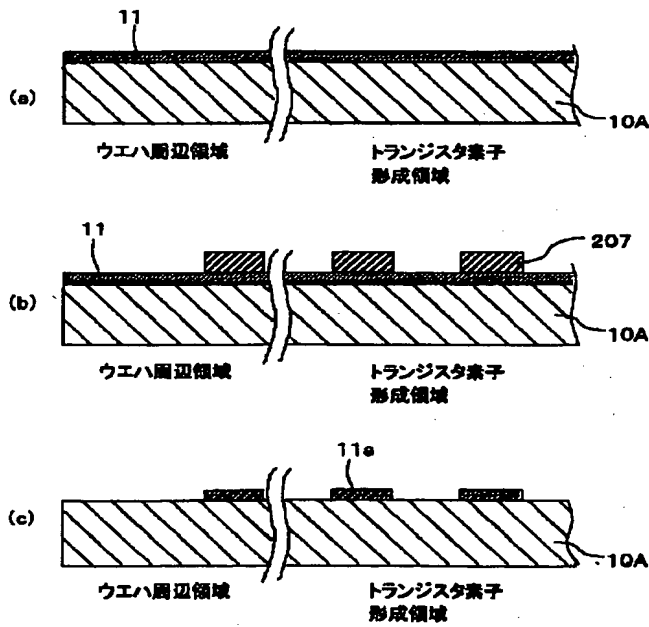
【図 2】



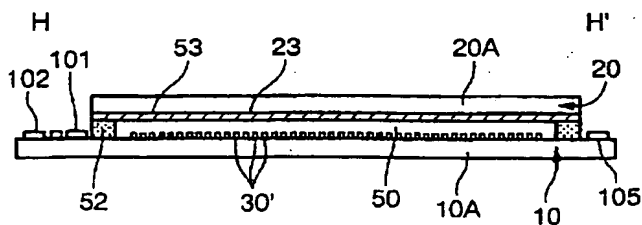
【図 3】



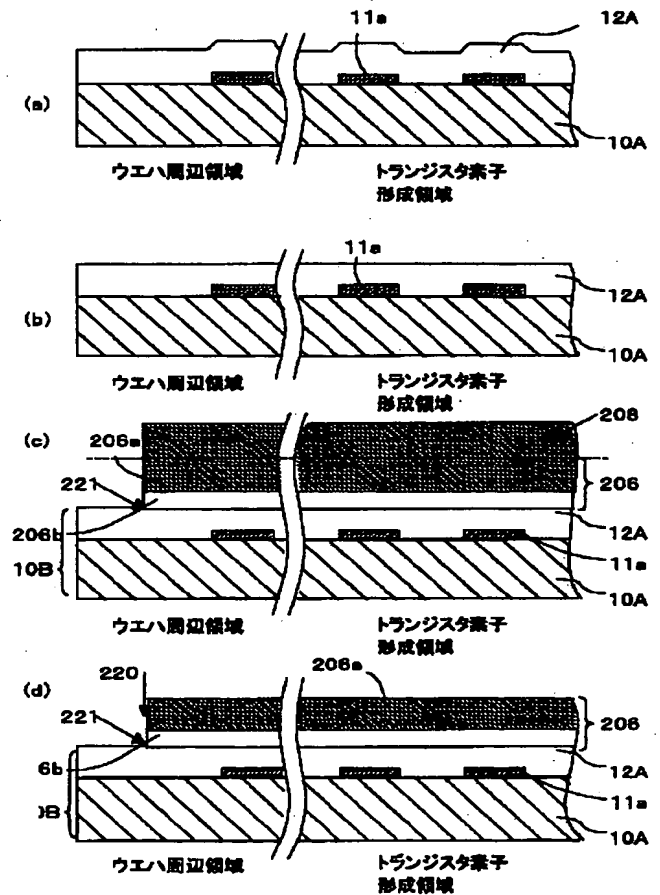
【図 4】



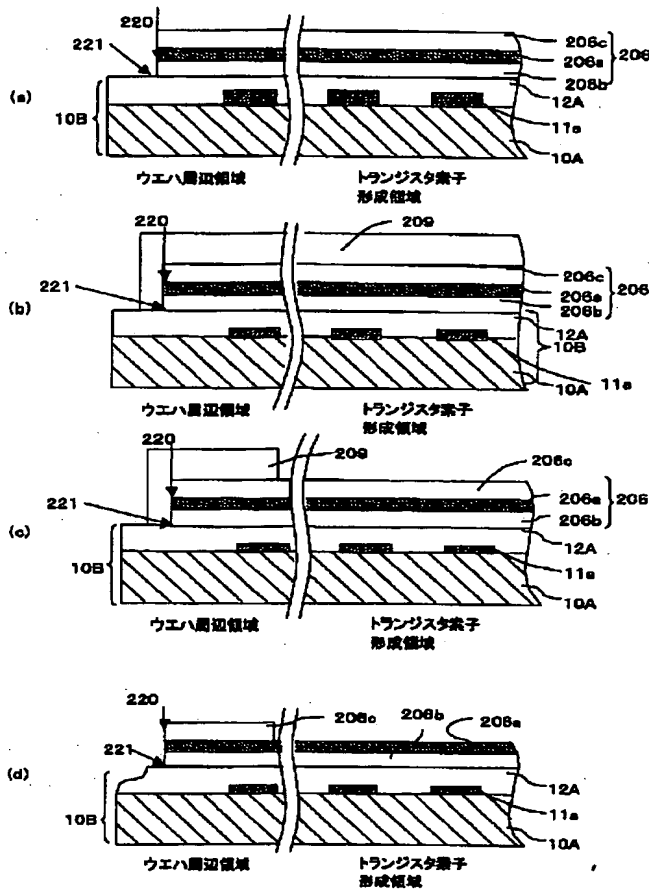
【図 14】



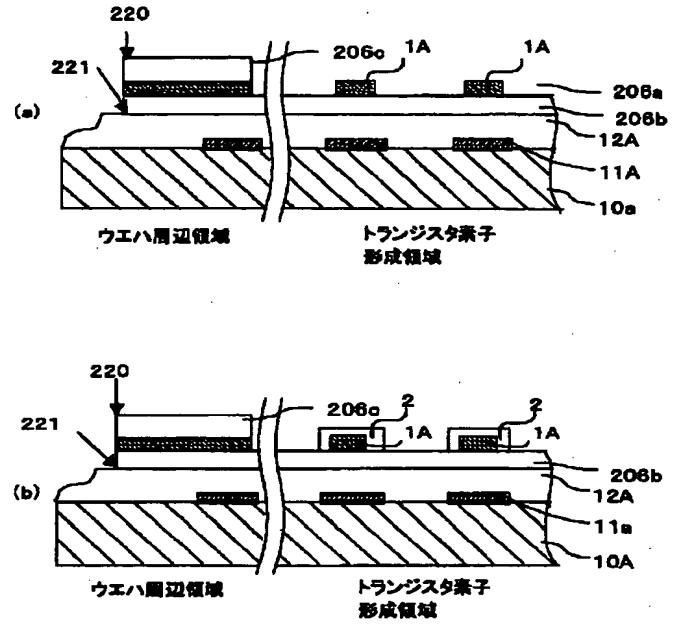
【図 5】



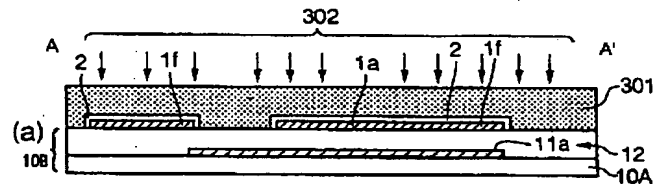
【図 6】



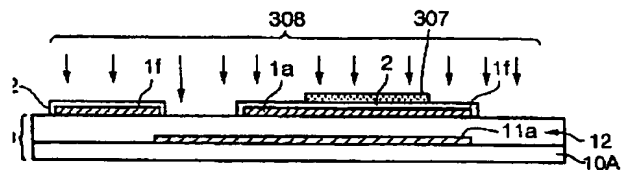
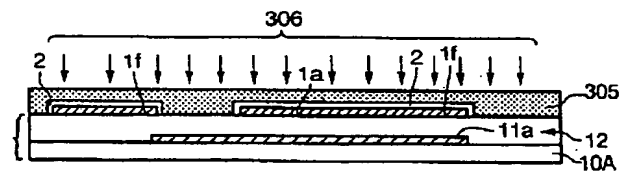
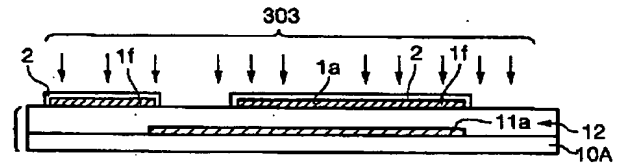
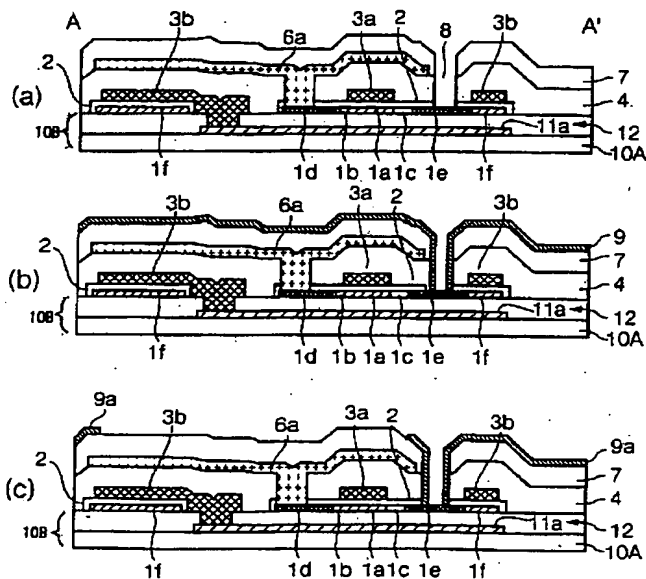
【図 7】



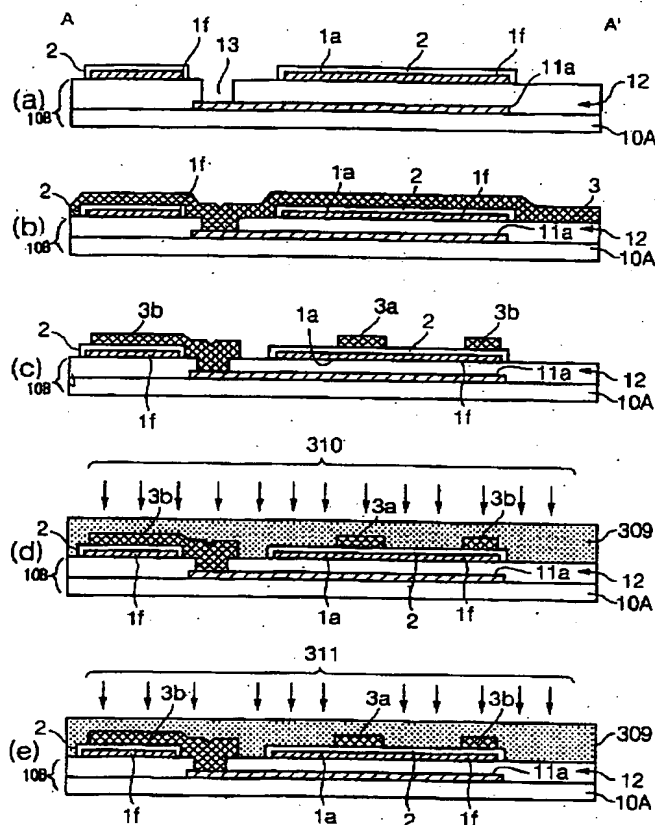
【図 8】



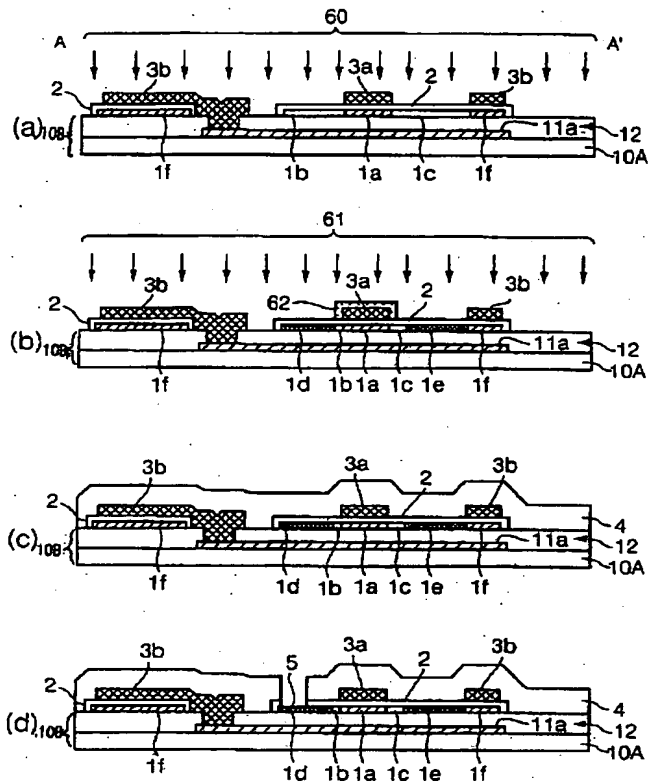
【図 12】



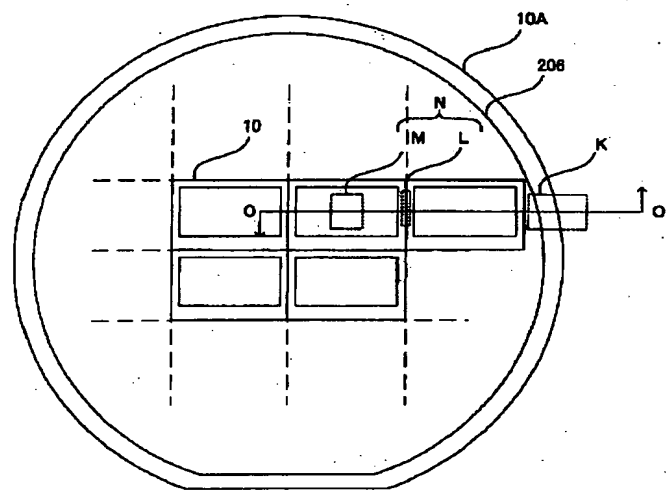
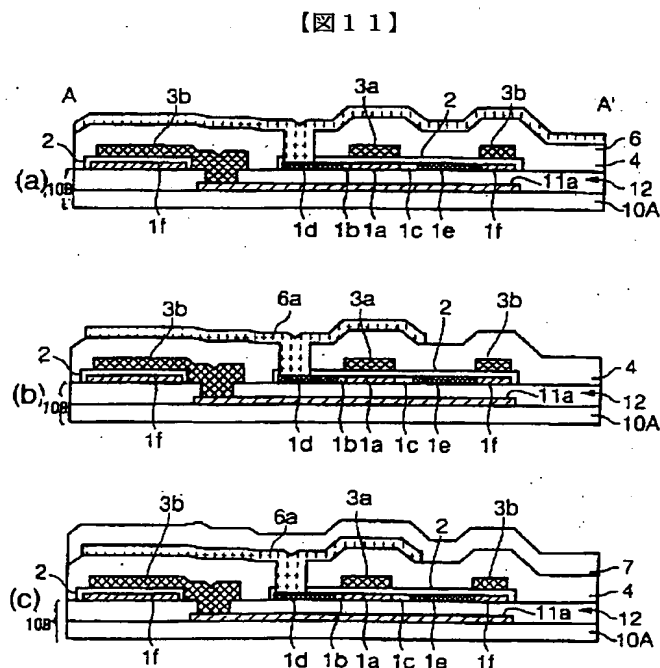
【図 9】



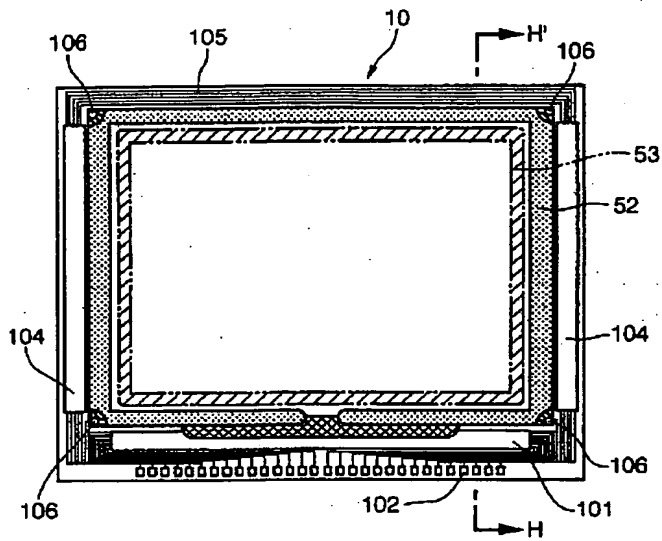
【図 10】



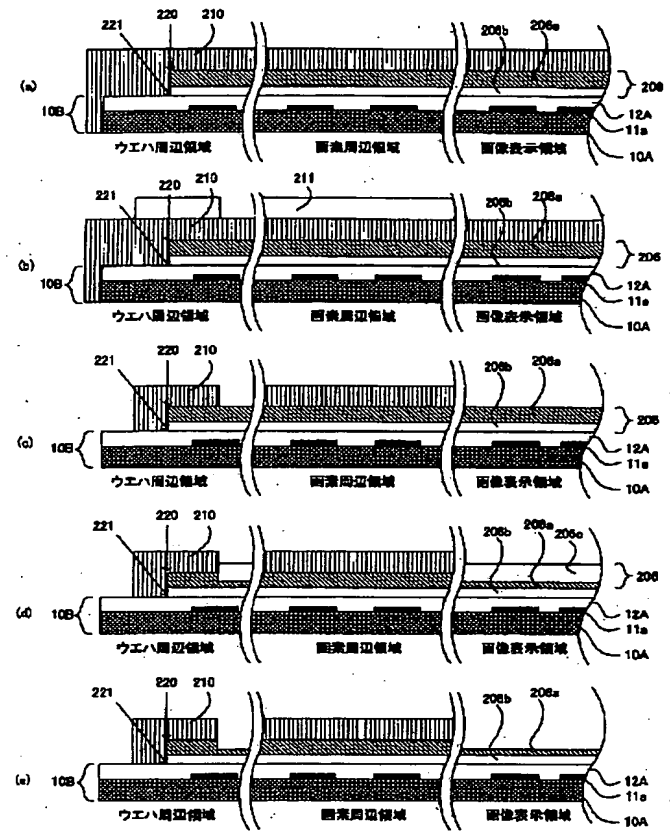
【図 18】



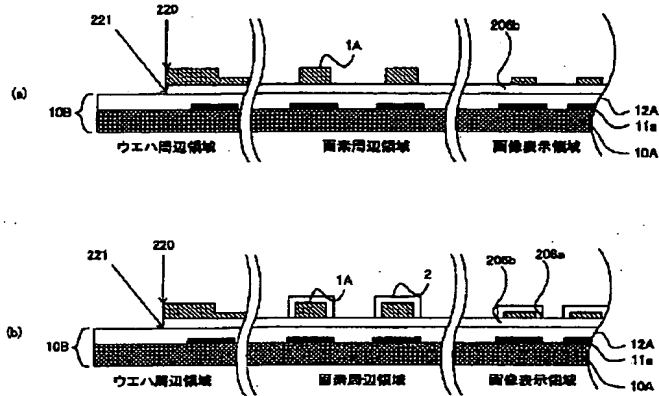
【図 13】



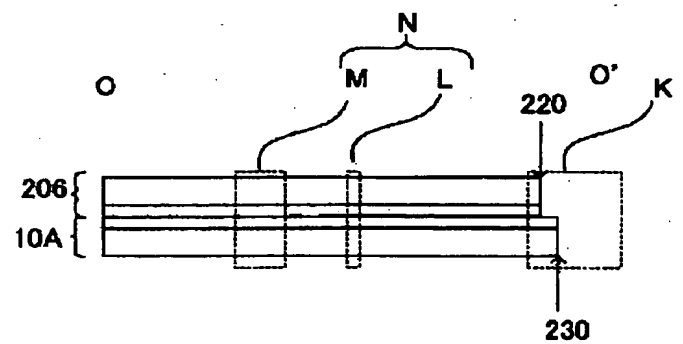
【図 15】



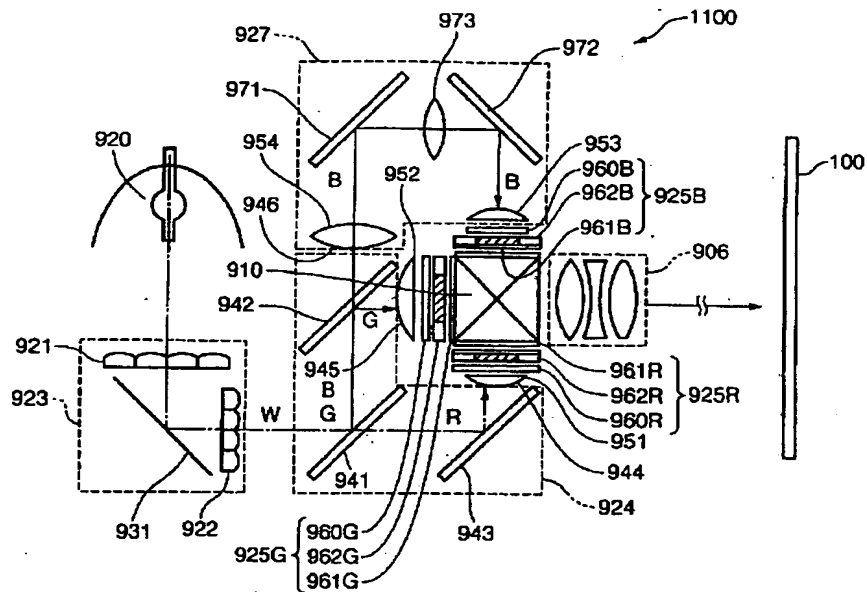
【図 16】



【図 19】



【図 17】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 21/336
21/762
27/12

識別記号

F I

H 0 1 L 29/78

テーマコード (参考)

6 1 8 D
6 2 7 D
6 1 2 B
6 1 9 B
D

21/76

F ターム (参考) 2H092 GA59 JA24 JB51 MA15 MA18
NA29 PA01 PA06 PA09 RA05
5C094 AA42 BA03 BA43 CA19 DA14
DA15 DB04 EA04 EA07 EB02
EB05
5F032 AA06 AA34 CA17 DA02 DA03
DA12 DA24 DA33 DA53 DA60
DA71 DA74
5F110 AA21 BB02 BB04 CC02 DD12
DD13 DD17 DD25 EE09 FF23
GG12 GG25 GG32 GG51 HJ01
HJ04 HJ12 HJ23 HL03 HL05
HL07 HL23 HM15 NN03 NN04
NN22 NN23 NN25 NN26 NN44
NN46 NN53 NN54 NN55 NN62
NN72 NN73 NN78 QQ02 QQ04
QQ05 QQ11 QQ17 QQ19
5G435 AA17 BB12 EE33 EE37 KK05